

# Indice

---

<b>Prefazione</b>	<b>xi</b>
<b>1 Introduzione</b>	<b>1</b>
1.1 Evoluzione della progettazione dei sistemi digitali	1
1.2 Flusso di progettazione dei sistemi digitali	2
1.3 Obiettivi del libro	6
1.4 Struttura ragionata del libro	7
<b>2 Codifica dell'informazione</b>	<b>11</b>
2.1 Introduzione	11
2.2 Codifica dell'informazione non numerica	12
2.3 Codifica dell'informazione numerica: notazione posizionale	13
2.4 Conversioni di base	14
2.5 Codifica ottale e esadecimale	17
2.6 Codifica binaria delle cifre decimali	18
2.7 Rappresentazione geometrica dei numeri binari	19
2.8 Distanza di Hamming	21
2.8.1 Codici a distanza di Hamming unitaria	22
2.9 Aritmetica binaria	24
2.9.1 Addizione binaria	24
2.9.2 Sottrazione binaria	26
2.9.3 Rappresentazione dei numeri negativi	27
2.9.3.1 Rappresentazione in modulo e segno	27
2.9.3.2 Rappresentazione in complemento a 2	29
2.9.3.3 Rappresentazione in complemento a 1	32
2.9.4 Scorrimento	33
2.9.5 Moltiplicazione binaria	33
2.9.6 Divisione binaria	37
2.10 Notazione in virgola fissa e in virgola mobile	39
2.11 Notazione in virgola mobile	41
2.11.1 Rappresentazione non biunivoca	42
2.11.2 Definizione della mantissa	43

2.11.3	Relazione tra numero di bit della mantissa e dell'esponente	43
2.11.4	Il problema delle eccezioni	45
2.11.5	Convenzioni per la rappresentazione dei numeri in virgola mobile	46
2.11.6	Standard IEEE 754-1985	47
2.12	Esercizi risolti	50
2.13	Esercizi proposti	58
<b>3</b>	<b>Algebra di commutazione</b>	<b>61</b>
3.1	Perché l'algebra booleana	59
3.2	Identità e teoremi fondamentali	63
3.2.1	Teorema di De Morgan	63
3.2.2	Teorema di Shannon	64
3.2.3	Semplificazione di espressioni	64
3.3	Dalla funzione al circuito	65
3.3.1	Operatori universali	69
3.4	Forme canoniche	71
3.5	Esercizi con strumenti automatici	75
3.6	Esercizi risolti	79
3.7	Esercizi proposti	82
<b>4</b>	<b>Ottimizzazione delle reti combinatorie</b>	<b>83</b>
4.1	Motivazioni	83
4.2	Minimizzazione a due livelli di reti combinatorie a un'uscita	86
4.2.1	Metodo di Quine-McCluskey	91
4.2.1.1	Funzioni completamente specificate	91
4.2.1.2	Funzioni non completamente specificate	96
4.3	Minimizzazione a due livelli di reti combinatorie a più uscite	99
4.3.1	Metodo di Quine-McCluskey per funzioni a più uscite	100
4.4	Minimizzazione a più livelli di reti combinatorie	103
4.4.1	Modelli di rappresentazione	106
4.4.2	Modello algebrico	108
4.4.3	Trasformazioni algebriche	109
4.4.3.1	Sweep	109
4.4.3.2	Eliminazione	109
4.4.3.3	Scomposizione	110
4.4.3.4	Estrazione	111
4.4.3.5	Semplificazione	112
4.4.3.6	Sostituzione	112
4.4.4	Trasformazioni booleane	112
4.5	La valutazione dei ritardi	117
4.6	Esercizi con strumenti automatici	119
4.6.1	Minimizzazione a due livelli di reti combinatorie	120
4.6.2	Minimizzazione a più livelli di reti combinatorie	123
4.6.3	La valutazione dei ritardi	126

4.7	Esercizi risolti	128
4.8	Esercizi proposti	133
<b>5</b>	<b>Dalle reti combinatorie ai circuiti sequenziali</b>	<b>135</b>
5.1	Introduzione	135
5.2	Bistabili	136
5.2.1	Bistabili asincroni	136
5.2.2	Bistabili sincroni	140
5.3	Registri a scorrimento; bistabili master-slave	145
5.4	Contatori	147
5.4.1	Progetto di contatori sincroni	148
5.5	Esercizi con strumenti automatici	152
5.6	Esercizi risolti	155
5.7	Esercizi proposti	161
<b>6</b>	<b>Ottimizzazione delle macchine sequenziali sincrone</b>	<b>163</b>
6.1	Introduzione	163
6.2	Macchine a stati finiti	164
6.3	La progettazione basata su macchine a stati finiti	167
6.3.1	FSM come modello di descrizione di un circuito sequenziale	168
6.3.2	Dalla FSM al circuito sequenziale	177
6.4	Minimizzazione degli stati	179
6.4.1	Macchine completamente specificate	179
6.4.2	Macchine non completamente specificate	185
6.5	Codifica degli stati	191
6.6	Minimizzazione logica	194
6.7	Esercizi con strumenti automatici	196
6.7.1	Dalla FSM al circuito sequenziale	198
6.7.2	Minimizzazione degli stati	204
6.7.3	Codifica degli stati	208
6.7.4	Minimizzazione logica	209
6.8	Esercizi risolti	211
6.9	Esercizi proposti	225
<b>7</b>	<b>Progetto di circuiti aritmetici</b>	<b>231</b>
7.1	Introduzione	231
7.2	Realizzazione di un'operazione aritmetica	232
7.3	Realizzazione di operazioni aritmetiche su numeri interi	234
7.3.1	Addizione binaria	234
7.3.2	Sottrazione	238
7.3.3	Prodotto	238
7.3.3.1	Determinazione della matrice per il prodotto di fattori positivi	239
7.3.3.2	Prodotto come somma per righe	240
7.3.3.3	Prodotto come somma per diagonali	242

7.3.3.4	Prodotto come somma per colonne	242
7.3.4	Divisione	249
7.4	Aritmetica in virgola mobile	253
7.4.1	Addizione	254
7.4.2	Sottrazione	257
7.4.3	Moltiplicazione	258
7.4.4	Divisione	258
7.5	Esercizi con strumenti automatici	259
<b>8</b>	<b>Progetto controllore <i>data path</i></b>	<b>263</b>
8.1	Introduzione	263
8.2	Registri	264
8.2.1	Registro parallelo/parallelo	264
8.2.2	Registro seriale/seriale	266
8.2.3	Registro parallelo/seriale	267
8.3	Unità funzionali	269
8.3.1	Selezione	269
8.3.1.1	Multiplexer	270
8.3.1.2	Demultiplexer	272
8.3.1.3	Decoder	273
8.3.1.4	Shifter	275
8.3.2	Aritmetiche	276
8.3.2.1	Sommatore	277
8.3.2.2	Moltiplicatore	278
8.3.3	Logiche	279
8.3.3.1	And	281
8.3.4	Confronto	282
8.3.4.1	Maggiore	283
8.4	La progettazione di un data path	284
8.5	L'approccio controllore-data path	287
8.6	Macchina a stati finiti con unità di elaborazione (FSMD)	289
8.6.1	Esempio: semaforo con priorità temporizzato	289
8.7	Il miglioramento delle prestazioni: il pipelining	291
8.8	Esercizi con strumenti automatici	301
8.9	Esercizi risolti	310
8.10	Esercizi proposti	314
<b>9</b>	<b>Tecnologie per la progettazione di dispositivi digitali</b>	<b>317</b>
9.1	Motivazioni	317
9.2	Algoritmi euristici di associazione	318
9.3	Il problema dell'associazione per componenti programmabili	321
9.4	Esercizi con strumenti automatici	327
<b>A</b>	<b>Linguaggi di descrizione dell'hardware</b>	<b>331</b>
A.1	Motivazioni	331
A.2	VHDL	335

A.2.1	Caratteristiche generali	336
A.2.2	Dichiarazione di entità	337
A.2.3	Architettura	339
A.2.3.1	Descrizione strutturale	339
A.2.3.2	Descrizione data-flow	340
A.2.3.3	Descrizione comportamentale	340
A.2.3.4	Descrizione mista	341
A.2.4	Configurazione	342
A.2.5	Stile di descrizione concorrente	343
A.2.6	Stile di descrizione sequenziale	344
A.2.7	Confronto	348
A.2.8	Costrutti maggiormente utilizzati	349
A.2.8.1	Definizione di tipi	349
A.2.8.2	Dichiarazione di package	351
A.2.8.3	Librerie	353
A.2.8.4	Sottoprogrammi	354
A.2.8.5	Overloading e funzioni di risoluzione	357
A.2.8.6	Ritardi	357
A.2.8.7	Attributi	358
A.2.9	Regole di sintesi automatica dal livello RT	359
A.3	SystemC	361
A.3.1	Progettazione basata su SystemC	362
A.3.2	Moduli e gerarchia	363
A.3.3	Porte, segnali e tipi	364
A.3.4	Concorrenza	368
A.3.5	Waiting e watching	370
A.3.6	Un esempio completo	371
A.3.6.1	Modello in C++	371
A.3.6.2	Testbench	373
A.3.6.3	Compilazione, simulazione e verifica	375
A.3.7	Stile di descrizione transazionale	375
A.3.8	Note sulla sintesi automatica	376
<b>B</b>	<b>Strumenti automatici di progettazione</b>	<b>379</b>
B.1	SIS	379
B.1.1	BVE	381
B.2	VHDL	381
B.3	SystemC	385